

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-293934

(43)Date of publication of application : 30.11.1988

(51)Int. Cl.

H01L 21/66

G01R 31/26

(21)Application number : 62-128181

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.05.1987

(72)Inventor : AKIBA YUTAKA

TANAKA MINORU

KASUKABE SUSUMU

OKUBO MASAFUMI

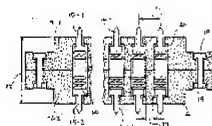
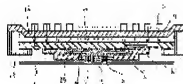
TAKAGI RYUICHI

(54) INSPECTION EQUIPMENT FOR SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To make the melting of a solder ball unnecessary, and enable a high density multi-pin configuration, by forming the head part of a probe card with movable electrode pin having a spring, forming the movable electrode pin by applying the combination of the electrode pin and the coil spring to a basic element, and unifying them in a body by using a substrate having a plurality of through holes to retain them.

CONSTITUTION: A movable electrode pin 9 of a head part 4 is constituted of a coil spring 14 and electrode pins 15-1, 16-2. The pins have the same shape and are arranged in the upper part and the lower part. These are retained in a unified body, by an upper and a lower rigid substrates 17 provided with a plurality of through holes having a step difference. The upper and the lower rigid substrates are fixed at the end-portion by a bolt 18 and a nut 19 so as to be capable of exchanging the pins. Through the movable electrode pin 9, a high speed electric signal is transmitted and received between a chip 5 and a multilayer thick film substrate 5 for enlarging pitch. In order to decrease the inductance component of the coil spring 14, the inner wall surface 20 of the through hole 16 having a step difference of the rigid substrate 17 is metallized with Ni and Au. As the material of the rigid substrate 11, glass ceramic of low permittivity in which fine etching process is facilitated, is used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

③ 公開特許公報(A) 昭63-293934

① Int. Cl.

H 01 L 21/66
G 01 R 31/26

識別記号

庁内整理番号

B-6851-5F
J-7359-2G

③ 公開 昭和63年(1988)11月30日

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 半導体素子検査装置

④ 特 願 昭62-128181

④ 出 願 昭62(1987)5月27日

④ 発 明 者 秋 庭 豊 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
④ 発 明 者 田 中 稔 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
④ 発 明 者 春日部 進 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
④ 発 明 者 大久保 雅史 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
④ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
④ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

半導体素子検査装置

2. 特許請求の範囲

1. 半導体素子の電極に対応する位置に配設される電極ピンを有するプローブカードのヘッド部が、上記電極ピンとコイルバネ、及びこれらの組合せを基本要素とする可動電極ピンを支持するための複数個の通孔を有する一体形構造の基板とで構成され、上記ヘッド部の電極ピンにより上記半導体素子の電極と電気的、機械的に接触させて、検査のための信号の授受を行なえるようにしたことを特徴とする半導体素子検査装置。

2. コイルバネの長手方向の両端を同一の電極ピンではさみ込む構造を基本要素とし、上記ヘッド部の上面と下面の両面に上記電極ピンを配設した構造を特徴とする特許請求の範囲第1項記載の半導体素子検査装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高密度多ピン用の半導体素子検査装置に係り、特に半導体素子の電極との接触信頼性を確保するのに好適な半導体素子検査装置に係する。

〔従来の技術〕

従来の装置は、特開昭58-73129号に記載のように、内部に番号配線、電線層を有する多層配線基板からなるプローブカードを用い、このプローブカードに設けたピンスタンの突起電極により、半導体素子の電極と電気的、機械的接触を行っていた。これらの電極間の接触は、プローブカードの突起電極から熱を加えてはんだボールを形成させて行なっていた。

〔発明が解決しようとする問題点〕

上記従来技術は、半導体素子のはんだ形成によりはんだの一部が突起電極に付着する点について配慮されておらず、プローブカードの接触信頼性について問題があった。更に、半導体素子の電極が、はんだボールのないメタライズ部のみで形成

されている場合についても配慮されておらず、プローブカードの適用範囲が限定されるという問題があった。

本発明の目的は、半導体素子の電極形状によらず接続部の信頼性を確保できる高密度多ピン用の半導体素子検査装置を提供することにある。

〔問題点を解決するための手段〕

上記目的は、プローブカードのヘッド部をスプリングを有する可動電極ピンで形成し、かつ（高密度多ピン化を実現するため）上記可動電極ピンを電極ピンとコイルパネの組合せを基本要素として形成し、これらを支持するための複数個の通孔を有する基板を用いて一体形とすることにより、達成される。

〔作用〕

半導体素子のはんだボール電極にコイルパネを有する可動電極ピンを接触させることにより、はんだボールを溶融させる必要がなく、電極ピンへのはんだ付着がなくなり接続信頼性が向上する。

更に、はんだボールのないメタライズ部のみの

電極に対しても適用可能となり、プローブカードの適用範囲が広がる。

一方、プローブカードの先端部に形成される可動電極ピンのピッチは、電極ピンとコイルパネの組合せからなる基本要素を構造上支持するために必要な個々の円筒状支持体を全て除去し、複数個の通孔を有する一体形の構造基板を用いて支持することにより減少させることができる。これにより、高密度多ピン化を容易に実現できる。

〔実施例〕

以下、本発明の一実施例を説明する。

第1図は、半導体ウェーハ1の1チップ2エリア上に配設されたはんだボール3に、ヘッド部4、ピッチ拡大用多層厚膜基板5、補強板6、及びピッチ拡大用多層プリント基板7から構成されるプローブカード（4、5、6、7）をヘッド部4に設けられた可動電極ピン9により、電気的、機械的に接触させた部分を示す半導体素子検査装置の断面構造を示す。プローブカードは、テスト部（図示せず）との信号の授受を行なう同軸コネクタ

10、及びピッチ拡大用多層プリント基板7の裏面に設けられた電極パターン（図示せず）と電気的、機械的に接触させる同軸形スプリングコンタクトピン11を配設した支持基板12と、位置決め用基板13を介して電気的に接続されている。この時、プローブカードは、支持基板12を閉閉することにより滑脱される。更に、プローブカードのヘッド部4は、補強時等において補強板6を取りはずして交換される。

第2図は、上記したヘッド部4の断面構造を示す。可動電極ピン9（14、15）は、コイルパネ14と上下に配設した同一形状の電極ピン15-1、15-2で構成され、複数個の波状付き通孔16を有する上下2枚のリジッド基板17により一体形構造で支持されている。この時、上下2枚のリジッド基板はピン交換等が可能なように両端部においてボルト18、ナット19により固定されている。

電気特性については、上記ヘッド部4の可動電極ピン9を通して、チップ2とピッチ拡大用多層厚膜基板5との間に高速電気信号の授受が行なわ

れる。コイルパネ14のインダクタンス成分を減少させるためリジッド基板17の波状付き通孔16の内径部20をNi、Auでメタライズしてある。この時リジッド基板17の材質は、微細エッチング加工が容易で、かつ低誘電率のガラスセラミックである。電極ピン15間のピッチ21とヘッド部4の厚さ22は、高速電気信号の波形ひずみ等に影響を与える。そこで一定のピッチ21に対しては、可動電極ピン9を線形化して内径部20のギャップ23を大きくし、かつリジッド基板17の厚さ22で規定される可動電極ピン9の長さを小さくすることにより、上記した波形ひずみ等に与える影響を小さくしている。特に、可動電極ピン9は、構造上コイルパネ14と電極ピン15を支持するための支持体（図示せず）が必要であり、多ピン化を図る場合、更に各支持体を与えるためのもう1つの支持体（図示せず）が必要となる。そこで、ヘッド部4では、上記2種類の支持体を波状付き通孔16を有するリジッド基板17により兼用し、ギャップ23を大きくすることにより高速電気信号を通して、ヘッ

ド部4の厚さ22は、可動電極ピン9が適正な張力所重を得、はんだバンプ3との接合信頼性を確保できる範囲で出来るだけ小さくされている。

リゾット基板17の材質としては、ガラスセラミックス等の絶縁体以外に銅板、アルミ板等の導体を使用することもできる。この場合、可動電極ピン9間の絶縁をとるため、リゾット基板17に形成された内面20の表面に絶縁皮膜を形成する必要がある。

第3図は、ビッチ拡大用多層厚膜基板5の断面構造を示す。ビッチ拡大用多層厚膜基板5は、アルミナ絶縁層24の中にタンダステン等からなる導体材料で信号配線25、電極層26が形成され、さらに上下面には一部の信号配線25と接続されたグラウンドパターン27、28と、信号配線25、電極層26と接続された電極パターン29、30が各々形成されている。上記したグラウンドパターン27、28、電極パターン29、30上には、 Ni 、 Mo のメタライズが施され(図示せず)、ピン張力やはんだ張力に対する信頼度を向上させている。特に、上記

に形成された電極パターン29には、ビッチ拡大用多層プリント基板7と電気的接続を行なうための Ag ろう(又は高融点はんだ)31を介してリード端子32が接続される。この時、下面に形成された電極パターン30間のビッチ35の長さは、上面に形成されたリード端子32間のビッチ34の長さ(拡大(10倍程度))されている。一方、信号配線25は、高速電気信号の授受を行なうため電極層26、グラウンドパターン27、28をレフアレンス層としてストリップ線路又はマイクロストリップ線路となっており、一定の特性インピーダンスを有している。尚ほ、ビッチ拡大用多層プリント基板7(第1図に示す)も、反射減衰等による波形ひずみを生じないようにするため、一定の特性インピーダンスを有している。

第4図は、ビッチ拡大用多層厚膜基板5の下面(ヘッド部4側)の平面図である。電極パターン30は、ヘッド部4の電極ピン15-1(第2図に示す)の配線に合せて中央部に形成される。この電極パターン30の周辺には、高速電気信号の伝

ひずみを防止するため一定のギャップを設けてグラウンドパターン28が形成されている。グラウンドパターン28の外周部4辺には、各種電極層26-1、26-2、26-3(第3図は、3種類のうち)に対応する電極パターン35-1、35-2、35-3が形成され、高速電気信号に対してグラウンドパターン28と導通状態となるようにバイパスコンデンサ36-1、36-2、36-3が接続されている。これにより、電流インピーダンス(インダクタンス分)を減少させて、信号配線25の高速電気信号に及ぼす誘起雑音の影響を小さくしている。

(発明の効果)

本発明によれば、はんだボールの形成が不要で高密度多ピン化ができる可動電極ピンを形成できるブローカードのヘッド部を提供できるので、半導体素子のはんだボール電極との熱融着信頼性を向上できると共に、はんだボールのないメタライズ部のみの電極に對しても適用することができる。

4. 図面の簡単な説明

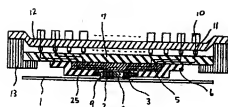
第1図は、本発明に係る半導体装置実装の断面

図、第2図は、第1図におけるヘッド部を拡大した断面図、第3図は、第1図のビッチ拡大用多層厚膜基板5を具体的に示す断面図、第4図は、第5図を下方からみたときの平面図である。

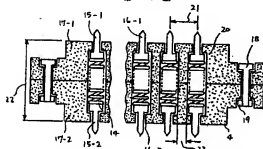
- 1—半導体ウェーハ
- 3—はんだボール
- 4—ヘッド部
- 5—ビッチ拡大用多層厚膜基板
- 14—コイルバネ
- 15—電極ピン
- 16—試通付き通孔
- 17—リゾット基板

代理人 弁護士 小川 勝 男

第 1 図

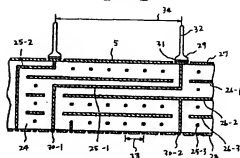


第 2 図

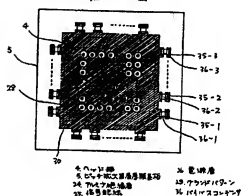


1. 半導体基板
2. 酸化膜
3. 酸化膜
4. ハットコ
5. リソグラフィ
6. ハットコ
7. リソグラフィ
8. ハットコ
9. リソグラフィ
10. ハットコ
11. リソグラフィ
12. ハットコ
13. リソグラフィ
14. ハットコ
15. リソグラフィ
16. ハットコ
17. リソグラフィ
18. ハットコ
19. リソグラフィ
20. ハットコ
21. リソグラフィ
22. ハットコ
23. リソグラフィ
24. ハットコ
25. リソグラフィ
26. ハットコ
27. リソグラフィ
28. ハットコ
29. リソグラフィ
30. ハットコ
31. リソグラフィ
32. ハットコ
33. リソグラフィ
34. ハットコ
35. リソグラフィ
36. ハットコ
37. リソグラフィ
38. ハットコ
39. リソグラフィ
40. ハットコ
41. リソグラフィ
42. ハットコ
43. リソグラフィ
44. ハットコ
45. リソグラフィ
46. ハットコ
47. リソグラフィ
48. ハットコ
49. リソグラフィ
50. ハットコ
51. リソグラフィ
52. ハットコ
53. リソグラフィ
54. ハットコ
55. リソグラフィ
56. ハットコ
57. リソグラフィ
58. ハットコ
59. リソグラフィ
60. ハットコ
61. リソグラフィ
62. ハットコ
63. リソグラフィ
64. ハットコ
65. リソグラフィ
66. ハットコ
67. リソグラフィ
68. ハットコ
69. リソグラフィ
70. ハットコ
71. リソグラフィ
72. ハットコ
73. リソグラフィ
74. ハットコ
75. リソグラフィ
76. ハットコ
77. リソグラフィ
78. ハットコ
79. リソグラフィ
80. ハットコ
81. リソグラフィ
82. ハットコ
83. リソグラフィ
84. ハットコ
85. リソグラフィ
86. ハットコ
87. リソグラフィ
88. ハットコ
89. リソグラフィ
90. ハットコ
91. リソグラフィ
92. ハットコ
93. リソグラフィ
94. ハットコ
95. リソグラフィ
96. ハットコ
97. リソグラフィ
98. ハットコ
99. リソグラフィ
100. ハットコ

第 3 図



第 4 図



4. ハットコ
5. リソグラフィ
6. ハットコ
7. リソグラフィ
8. ハットコ
9. リソグラフィ
10. ハットコ
11. リソグラフィ
12. ハットコ
13. リソグラフィ
14. ハットコ
15. リソグラフィ
16. ハットコ
17. リソグラフィ
18. ハットコ
19. リソグラフィ
20. ハットコ
21. リソグラフィ
22. ハットコ
23. リソグラフィ
24. ハットコ
25. リソグラフィ
26. ハットコ
27. リソグラフィ
28. ハットコ
29. リソグラフィ
30. ハットコ
31. リソグラフィ
32. ハットコ
33. リソグラフィ
34. ハットコ
35. リソグラフィ
36. ハットコ
37. リソグラフィ
38. ハットコ
39. リソグラフィ
40. ハットコ
41. リソグラフィ
42. ハットコ
43. リソグラフィ
44. ハットコ
45. リソグラフィ
46. ハットコ
47. リソグラフィ
48. ハットコ
49. リソグラフィ
50. ハットコ
51. リソグラフィ
52. ハットコ
53. リソグラフィ
54. ハットコ
55. リソグラフィ
56. ハットコ
57. リソグラフィ
58. ハットコ
59. リソグラフィ
60. ハットコ
61. リソグラフィ
62. ハットコ
63. リソグラフィ
64. ハットコ
65. リソグラフィ
66. ハットコ
67. リソグラフィ
68. ハットコ
69. リソグラフィ
70. ハットコ
71. リソグラフィ
72. ハットコ
73. リソグラフィ
74. ハットコ
75. リソグラフィ
76. ハットコ
77. リソグラフィ
78. ハットコ
79. リソグラフィ
80. ハットコ
81. リソグラフィ
82. ハットコ
83. リソグラフィ
84. ハットコ
85. リソグラフィ
86. ハットコ
87. リソグラフィ
88. ハットコ
89. リソグラフィ
90. ハットコ
91. リソグラフィ
92. ハットコ
93. リソグラフィ
94. ハットコ
95. リソグラフィ
96. ハットコ
97. リソグラフィ
98. ハットコ
99. リソグラフィ
100. ハットコ

第1頁の続き

④発 明 者 高 木 隆 一 東京都青葉市今井2326番地 株式会社日立製作所デバイス
開発センター内